

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150427

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H03F 3/20

G09G 3/36

H03F 1/34

H03F 3/45

(21)Application number : 10-221552

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.08.1998

(72)Inventor : ITAKURA TETSURO
SHIMA TAKESHI

(30)Priority

Priority number : 09210549

Priority date : 05.08.1997

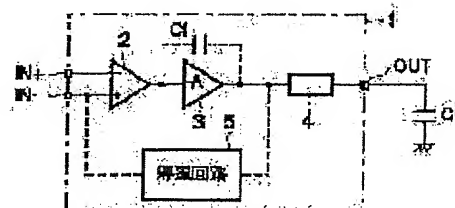
Priority country : JP

(54) AMPLIFIER CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplifier circuit, capable reducing chip area and being operated stably by eliminating the need for phase compensation capacity for stabilization or for sharply reduction it.

SOLUTION: An input amplifier stage 2 and an output amplifier stage 3 are connected in cascade between signal input terminal IN+, IN- and a signal output terminal OUT of an amplifier circuit 1, and a resistor circuit 4, including at least one resistor, is inserted between an output terminal of the output amplifier stage 3 and the signal output terminal OUT. Thus, first zero point with a frequency lower than the frequency at with the gain is unity is formed in a closed loop frequency which is characteristic of the amplifier circuit 1.



D

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150427

(43)公開日 平成11年(1999) 6月2日

(51)Int.Cl.⁶
H 0 3 F 3/20
G 0 9 G 3/36
H 0 3 F 1/34
3/45

識別記号

F I
H 0 3 F 3/20
G 0 9 G 3/36
H 0 3 F 1/34
3/45

A

審査請求 未請求 請求項の数18 O L (全 19 頁)

(21)出願番号 特願平10-221552

(22)出願日 平成10年(1998) 8月5日

(31)優先権主張番号 特願平9-210549

(32)優先日 平9(1997) 8月5日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 島 健

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

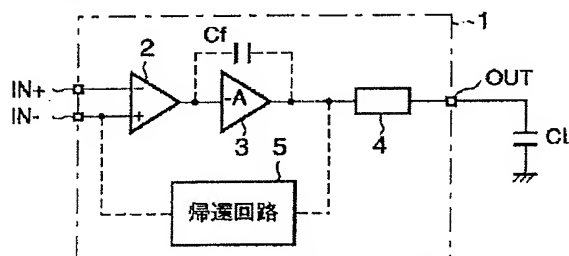
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 増幅回路及びこれを用いた液晶ディスプレイ装置

(57)【要約】

【課題】安定化のための位相補償容量を不要とするか、大幅に低減できるようにしてチップ面積を削減し、かつ安定に動作する増幅回路を提供する。

【解決手段】増幅回路1の信号入力端子IN+, IN-と信号出力端子OUTとの間に入力増幅段2および出力増幅段3を縦続接続し、出力増幅段3の出力端と信号出力端子OUTとの間に少なくとも一つの抵抗を含む抵抗回路4を挿入することによって、増幅回路1の開ループ周波数特性に利得が1となる周波数よりも周波数の低い第1のゼロ点を形成する。



【特許請求の範囲】

【請求項 1】容量性負荷を駆動する増幅回路において、該増幅回路の信号入力端子と信号出力端子との間に縦続接続された少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、

前記出力増幅段の出力端と前記信号出力端子との間に挿入された少なくとも一つの抵抗を含む抵抗回路とを有することを特徴とする増幅回路。

【請求項 2】容量性負荷を駆動する増幅回路において、該増幅回路の信号入力端子と信号出力端子との間に縦続接続された少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、

前記出力増幅段の出力端と前記信号出力端子との間に挿入された複数の抵抗を含む抵抗回路とを有し、

前記抵抗回路は前記複数の抵抗から選択された少なくとも一つの前記出力増幅段と前記信号出力端子との間に接続されることを特徴とする増幅回路。

【請求項 3】前記出力増幅段の出力端から前記入力増幅段の入力端に帰還を施す帰還経路を有することを特徴とする請求項 1 または 2 に記載の増幅回路。

【請求項 4】前記増幅回路の開ループ周波数特性に現われる第 2 のポールの周波数が前記増幅回路の利得が 1 になる周波数より低く、該開ループ周波数特性に現われる第 1 のゼロ点の周波数が前記増幅回路の利得が 1 になる周波数より低いことを特徴とする請求項 1～3 のいずれか 1 項に記載の増幅回路。

【請求項 5】前記増幅回路は、前記出力増幅段の入出力端間に容量を含む帰還経路を有することを特徴とする 1～4 のいずれか 1 項に記載の増幅回路。

【請求項 6】前記増幅回路は前記信号入力端子に所定の期間毎に変化する入力信号電圧を入力するものであって、前記抵抗回路と前記容量性負荷の容量成分による時定数が前記所定の期間の $1/5$ 以下であることを特徴とする請求項 1～5 のいずれか 1 項に記載の増幅回路。

【請求項 7】前記抵抗回路の抵抗値は $50\text{ k}\Omega$ 以下であることを特徴とする請求項 6 に記載の増幅回路。

【請求項 8】前記抵抗回路は、複数の抵抗と複数のスイッチとからなり、該スイッチのオン・オフにより該抵抗回路の抵抗値が設定されることを特徴とする請求項 2 に記載の増幅回路。

【請求項 9】前記抵抗回路は、電界効果トランジスタのオン抵抗により構成されることを特徴とする請求項 1～8 のいずれか 1 項に記載の増幅回路。

【請求項 10】前記増幅回路は、前記信号入力端子に入力される入力信号電圧が所定の極性に变化したことを検出して前記出力増幅段のバイアス電流を制御する手段をさらに有することを特徴とする請求項 1～9 のいずれか 1 項に記載の増幅回路。

【請求項 11】前記入力増幅段は、所定の共通電圧に対して正側および負側にそれぞれ変化する第 1 および第

2 の入力信号をそれぞれ入力する正側増幅回路および負側増幅回路を有し、

前記正側増幅回路は、前記第 1 の入力信号を入力する第 1 の差動トランジスタ対と、該第 1 の差動トランジスタ対のテール電流を与える第 1 の電流源と、前記第 1 の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第 1 のカレントミラーと、前記第 1 の差動トランジスタ対の二つの出力端間に設けられた第 1 のスイッチとで構成され、

前記負側増幅回路は、前記第 2 の入力信号を入力する第 2 の差動トランジスタ対と、該第 2 の差動トランジスタ対のテール電流を与える第 1 の電流源と、前記第 2 の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第 2 のカレントミラーと、前記第 2 の差動トランジスタ対の二つの出力端間に設けられた第 2 のスイッチとで構成され、

前記第 1 の入力信号が前記正側増幅回路に入力されるときは、前記第 1 のスイッチがオフ状態、前記第 2 のスイッチがオン状態にそれぞれ制御され、前記第 2 の入力信号が前記負側増幅回路に入力されるときは、前記第 1 のスイッチがオン状態、前記第 2 のスイッチがオフ状態にそれぞれ制御され、

前記出力増幅段は、それぞれのドレインまたはコレクタが該出力増幅段の出力端に共通接続されたコンプリメンタリ・トランジスタ対により構成され、該コンプリメンタリ・トランジスタ対の一方のゲートまたはベースが前記正側増幅回路の一方の出力端に接続され、該コンプリメンタリ・トランジスタ対の他方のゲートまたはベースが前記負側増幅回路の一方の出力端に接続されることを特徴とする請求項 1～10 のいずれか 1 項に記載の増幅回路。

【請求項 12】前記入力増幅段は、所定の共通電圧に対して正側および負側にそれぞれ変化する第 1 および第 2 の入力信号をそれぞれ入力する正側増幅回路および負側増幅回路を有し、

前記正側増幅回路は、前記第 1 の入力信号を入力する第 1 の差動トランジスタ対と、該第 1 の差動トランジスタ対のテール電流を与える第 1 の電流源と、前記第 1 の差動トランジスタ対の二つの出力端に電流入力端および第 1 の電流出力端がそれぞれ接続された第 1 のカレントミラーと、前記第 1 の差動トランジスタ対の二つの出力端間に設けられた第 1 のスイッチと、前記第 1 の電流源をオン・オフさせる第 3 のスイッチとで構成され、

前記負側増幅回路は、前記第 2 の入力信号を入力する第 2 の差動トランジスタ対と、該第 2 の差動トランジスタ対のテール電流を与える第 1 の電流源と、前記第 2 の差動トランジスタ対の二つの出力端に電流入力端および第 1 の電流出力端がそれぞれ接続された第 2 のカレントミラーと、前記第 2 の差動トランジスタ対の二つの出力端間に設けられた第 2 のスイッチと、前記第 2 の電流源を

オン・オフさせる第4のスイッチとで構成され、さらに、前記第1のカレントミラーの第2の電流出力端が第5のスイッチを介して前記第2のカレントミラーの電流入力端に接続され、前記第2のカレントミラーの第2の電流出力端が第6のスイッチを介して前記第1のカレントミラーの電流入力端に接続されており、前記第1の入力信号が前記正側増幅回路に入力されるときは、前記第1、第4および第6のスイッチがオフ状態、前記第2、第3および第5のスイッチがオン状態にそれぞれ制御され、前記第2の入力信号が前記負側増幅回路に入力されるときは、前記第1、第4および第6のスイッチがオン状態、前記第2、第3および第5のスイッチがオフ状態にそれぞれ制御され、前記出力増幅段は、それぞれのドレインまたはコレクタが該出力増幅段の出力端に共通接続されたコンプリメンタリ・トランジスタ対により構成され、該コンプリメンタリ・トランジスタ対の一方のゲートまたはベースが前記正側増幅回路の一方の出力端に接続され、該コンプリメンタリ・トランジスタ対の他方のゲートまたはベースが前記負側増幅回路の一方の出力端に接続されることを特徴とする請求項1～10のいずれか1項に記載の増幅回路。

【請求項13】前記入力増幅段は、前記信号入力端子が接続される第1の導電型のトランジスタで構成された第1の入力回路と、前記信号入力端子が接続される第2の導電型のトランジスタで構成された第2の入力回路とにより構成され、前記第1または第2のトランジスタのドレインまたはソースから前記出力増幅段まで少なくとも容量素子を含むフィードフォワード経路を有する請求項1に記載の増幅回路。

【請求項14】前記出力増幅段は、信号を受けるゲートを有する第1および第2のトランジスタにより構成され、前記第1のトランジスタのドレインは前記信号出力端子に接続され、前記第1のトランジスタのソースと前記第2のトランジスタのドレインが接続され、前記第2のトランジスタのソースは第1の電源に接続され、前記第1のトランジスタのソースならびに第2のトランジスタのドレインの接続ノードに前記フィードフォワード信号経路が接続される請求項13に記載の増幅回路。

【請求項15】前記出力増幅段にバイアス電流を供給する電流源は、抵抗素子とこの抵抗素子を介してバイアス電圧が印加されているゲートを有する第3のトランジスタとにより構成され、前記抵抗素子と前記第3のトランジスタのゲートの接続ノードに前記フィードフォワード信号経路が接続される請求項13に記載の増幅回路。

【請求項16】前記信号入力端子に入力される入力信号電圧が所定の極性に変化したことを検出して前記出力増幅段のバイアス電流を制御する前記バイアス電圧を出力する手段を含む請求項15に記載の増幅回路。

【請求項17】前記抵抗素子は、所定のオン抵抗を有す

る電界効果トランジスタにより構成される請求項15または16に記載の増幅回路。

【請求項18】複数の画素と、これらの各画素に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、前記信号線を画像信号に応じて駆動する駆動回路と、前記走査線を順次選択する選択回路とを有し、

前記駆動回路は、請求項1～17のいずれか1項に記載の増幅回路を有することを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば所定の期間毎に変化する入力信号電圧に応じて容量性負荷を駆動する増幅回路及びこれを用いた液晶ディスプレイ装置に係り、特に、集積化のための小面積、低消費電力の増幅回路に関する。

【0002】

【従来の技術】一般に、液晶ディスプレイ装置は、液晶セルがマトリクス状に配列され、画像信号が供給される複数本の信号線と複数本の走査線が交差して配設されて構成された液晶ディスプレイパネルと、画像信号を信号線に供給して液晶ディスプレイパネルを駆動するための液晶ディスプレイ駆動回路および走査線を選択的に駆動する走査線選択回路により構成される。

【0003】この液晶ディスプレイ装置の液晶ディスプレイ駆動回路の信号線駆動回路は、ボルテージフォロア構成の増幅回路が用いられてきた。増幅回路の利得Aが有限であるために、ボルテージフォロア構成で生じる入出力間の誤差は入力電圧の $1/A$ で表される。この誤差を小さくするため、信号線駆動回路の増幅回路としては2段構成のものが使用されてきた。具体的には、入力増幅段と、位相補償容量Cfを有する出力増幅段とにより構成されていた。

【0004】

【発明が解決しようとする課題】従来の構成では、出力増幅段に接続される負荷容量が大きいとき、増幅回路を低消費電力で安定に動作させるためには、位相補償容量を例えば3～5pF程度と大きくせざるを得ない。また、バイアス電流を大きくすることにより2段目の増幅段のトランスコンダクタを大きくせざるを得ない。従って、この増幅回路を例えば300個含んだ駆動回路を集積化した場合、1つの増幅回路当たり3～5pFの位相補償容量Cfを必要とすることから、全体で900～1500pFの容量が必要となり、チップ面積が非常に大きくなるという問題があった。また、安定化のために消費電流が増大するという問題があった。

【0005】上述したように、大容量の容量性負荷に接続される増幅回路において、位相補償容量により増幅回

路を安定化させる従来の手法では、複数個の増幅回路を集積化する際に必要となる位相補償容量の総和が非常に大きくなり、チップ面積が増大してコストが高くなるという問題があった。また、消費電流が増大するという問題があった。

【0006】

【課題を解決するための手段】本発明は、安定化のための位相補償容量を不要とするか、大幅に低減できるようにしてチップ面積を削減し、かつ安定に動作し、さらには消費電流を低減する増幅回路を提供することを目的とする。

【0007】本発明は、信号入力端子と容量性負荷が接続される信号出力端子との間に縦続接続され、少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、出力増幅段の出力端と信号出力端子との間に挿入された少なくとも一つの抵抗を含む抵抗回路とにより構成される増幅回路を提供する。

【0008】この抵抗回路は複数の抵抗により構成され、これら複数の抵抗から選択された少なくとも一つの抵抗が出力増幅段と信号出力端子との間に接続される。また、この抵抗回路は複数の抵抗と複数のスイッチとで構成され、スイッチのオン・オフにより抵抗回路の抵抗値が設定される。さらに、抵抗回路は電界効果トランジスタのオン抵抗により構成されてもよい。

【0009】本発明では、出力増幅段の出力端から入力増幅段の入力端に帰還を施す帰還経路が設けられ、増幅回路がボルテージフォロウに構成される。

【0010】このように構成された増幅回路では、開ループ周波数特性に現われる第2のポールの周波数が増幅回路の利得が1になる周波数より低く、該開ループ周波数特性に現われる第1のゼロ点の周波数が増幅回路の利得が1になる周波数より低くなるようにすることが望ましい。

【0011】また、例えば入力換算オフセット電圧モードで増幅回路の信号出力端子と容量性負荷が切り離され、等価的に負荷容量が小さくなった場合の安定化のために、出力増幅段の入出力端間に容量（位相補償容量）を含む帰還経路が設けられてもよい。

【0012】本発明の増幅回路では、出力増幅段の出力端と信号出力端子間に挿入された抵抗回路の抵抗成分と容量性負荷の容量成分により、増幅回路の開ループ周波数特性に第1のゼロ点が形成され、このゼロ点で位相が進むことにより、出力増幅段でポールによる位相の遅れを補償することができる。すなわち、利得が1となるときの位相と -180° の差である位相余裕を大きくすることができるので、増幅回路の動作安定化のための位相補償容量を必要としない。また、位相補償容量を必要とする場合でも、その値は非常に小さくてよいので、位相補償容量を形成するために必要であったチップ面積を削減することができる。さらには、消費電流を低減するこ

とができる。

【0013】本発明の増幅回路では、信号入力端子に所定の期間毎に変化する入力信号電圧が入力される場合、抵抗回路と容量性負荷の容量成分による時定数を該所定の期間の $1/5$ 以下とすることが望ましい。この場合の抵抗回路の抵抗値は、例えば $50\text{ k}\Omega$ 以下が適当である。

【0014】本発明の増幅回路には、信号入力端子に入力される入力信号電圧が所定の極性に变化したことを検出して出力増幅段のバイアス電流を制御する制御部がさらに設けられてもよい。

【0015】本発明は、入力増幅段が所定のコモン電圧に対して正側および負側にそれぞれ変化する第1および第2の入力信号をそれぞれ入力する正側増幅回路および負側増幅回路を有する2入力用増幅回路にも適用できる。

【0016】2入力用増幅回路の好ましい態様によれば、正側増幅回路は第1の入力信号を入力する第1の差動トランジスタ対と、該第1の差動トランジスタ対にテール電流を与える第1の電流源と、第1の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第1のカレントミラーと、第1の差動トランジスタ対の二つの出力端間に設けられた第1のスイッチとで構成され、負側増幅回路は第2の入力信号を入力する第2の差動トランジスタ対と、該第2の差動トランジスタ対にテール電流を与える第1の電流源と、第2の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第2のカレントミラーと、第2の差動トランジスタ対の二つの出力端間に設けられた第2のスイッチとで構成され、第1の入力信号が正側増幅回路に入力されるときは、第1のスイッチがオフ状態、第2のスイッチがオン状態にそれぞれ制御され、第2の入力信号が負側増幅回路に入力されるときは、第1のスイッチがオン状態、第2のスイッチがオフ状態にそれぞれ制御される。

【0017】一方、出力増幅段はそれぞれのドレインまたはコレクタが該出力増幅段の出力端に共通接続されたコンプリメンタリ・トランジスタ対により構成され、該コンプリメンタリ・トランジスタ対の一方のゲートまたはベースが正側増幅回路の一方の出力端に接続され、該コンプリメンタリ・トランジスタ対の他方のゲートまたはベースが負側増幅回路の一方の出力端に接続される。

【0018】このように構成される2入力用増幅回路では、先と同様に位相補償容量を不要とするか、または極く小容量のもので済ませることができる上、正側および負側増幅回路のうち、入力信号電圧が入力されず使用されない方の増幅回路における差動トランジスタ対の出力端間をスイッチで短絡することにより、出力増幅段のバイアス電流を簡単に設定することが可能となる。

【0019】さらに、2入力用増幅回路の他の態様とし

て、上記の 2 入力用増幅回路の構成に加えて、正側増幅回路および負側増幅回路に第 1 および第 2 の電流源をオン・オフさせるための第 3 および第 4 のスイッチを追加するとともに、第 1 のカレントミラーの第 2 の電流出力端を第 5 のスイッチを介して第 2 のカレントミラーの電流入力端に接続し、第 2 のカレントミラーの第 2 の電流出力端を第 6 のスイッチを介して第 1 のカレントミラーの電流入力端に接続し、第 1 の入力信号が正側増幅回路に入力されるときは、第 1、第 4 および第 6 のスイッチがオフ状態、第 2、第 3 および第 5 のスイッチがオン状態にそれぞれ制御され、第 2 の入力信号が負側増幅回路に入力されるときは、第 1、第 4 および第 6 のスイッチがオン状態、第 2、第 3 および第 5 のスイッチがオフ状態にそれぞれ制御されるようにしてもよく、このようにするとさらに低消費電力化が可能となる。

【0020】上記のように構成される本発明の増幅回路は、複数の画素と、これらの各画素に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、信号線を画像信号に応じて駆動する駆動回路と、走査線を順次選択する選択回路とを有する液晶ディスプレイ装置における駆動回路の増幅回路として有用である。

【0021】本発明は、複数の画素、前記複数の画素の各々に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、信号線を画像信号に応じて駆動する駆動回路と、走査線を順次選択する選択回路とで構成され、駆動回路は、入力信号が供給される信号入力端子と容量性負荷が接続される信号出力端子との間に縦続接続された少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、前記出力増幅段の出力端と前記信号出力端子との間に挿入された少なくとも一つの抵抗を含む抵抗回路とにより構成される増幅回路を含む、液晶ディスプレイ装置を提供する。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図 1 は、本発明の一実施形態に係る増幅回路の基本構成を示す図である。この増幅回路 1 は、一対の信号入力端子 $IN+$ 、 $IN-$ 間に入力された差動の入力信号を増幅して信号出力端子 OUT より出力する回路であり、入力増幅段 2 とこの入力増幅段 2 の出力をさらに増幅する出力増幅段 3 を縦続接続して構成される。出力増幅段 3 の出力端と増幅回路 1 の信号出力端子 OUT の間に、本発明に従った抵抗回路 4 が挿入されている。

【0023】また、必要に応じて出力増幅段 3 の出力端から入力増幅段 2 の入力端（信号入力端子 $IN-$ ）に帰還を施す帰還回路 5 が設けられる。さらに、必要に応じて出力増幅段 3 の入出力端間に、微小な容量値の位相補償容量 C_f を含む帰還回路を挿入してもよい。

【0024】次に、図 1 の増幅回路 1 の作用を説明する。

【0025】図 2 は、増幅回路 1 の等価回路であり、 g_{m1} は入力増幅段 2 のトランスコンダクタンス、 R_1 は入力増幅段 2 の出力抵抗と出力増幅段 3 の入力抵抗との並列合成抵抗、 C_1 は入力増幅段 2 の出力端に付加される容量成分、 g_{m2} は出力増幅段 3 のトランスコンダクタンス、 R_2 は出力増幅段 3 の出力抵抗、 R_f は抵抗回路 4 の抵抗成分、 C_L は負荷容量をそれぞれ表している。また、 v_i は信号入力端子 $IN+$ および $IN-$ への入力信号電圧、 v_1 は入力増幅段 2 の出力電圧、 v_2 は出力増幅段 3 の出力電圧、 v_o は信号出力端子 OUT への出力信号電圧をそれぞれ表す。

【0026】ここで、図 1 の増幅回路 1 ではその開ループ周波数特性に現れる第 2 のポールの周波数が増幅回路 1 の利得が 1 となる周波数より低くなり、かつ出力増幅段 3 の出力端と信号出力端子 OUT との間に抵抗回路 4 を挿入することによって、この開ループ周波数特性に第 1 のゼロ点を導入することができる。すなわち、図 2 の等価回路を用いて導き出した入力信号電圧 v_i から出力電圧 v_2 に対する伝達特性より、増幅回路 1 の第 1、第 2 のポールおよび第 1 のゼロ点は、以下のように求められる。

【0027】第 1 のポール周波数 (rad/sec) : $1 / ((R_2 + R_f) C_L)$

(但し、 $R_2 \gg R_f$ より、近似的に $1 / (R_2 \cdot C_L)$)

第 2 のポール周波数 (rad/sec) : $1 / (R_1 \cdot C_1)$

第 1 のゼロ点周波数 (rad/sec) : $1 / (R_f \cdot C_L)$

図 3 の (a) および (b) の実線に、抵抗回路 4 を設けた場合の振幅および位相の開ループ周波数特性を示す。また、比較のために抵抗回路 4 が無いとき ($R_f = 0$) の開ループ周波数特性を破線で示す。図 3 の (b) に示すように、第 1、第 2 のポールで遅れた位相を本発明に基づく抵抗回路 4 によって形成されるゼロ点により進めることができ、位相余裕を改善することができる。従って、増幅回路 1 の動作安定化のために、従来必要としたような位相補償容量を必要としないので、位相補償容量を形成するために必要であったチップ面積を削減することが可能となる。

【0028】また、従来の位相補償では、第 2 のポール周波数は、大容量負荷に対して g_{m2} / C_L と近似されるので、出力増幅段の電流を大きくすることにより位相余裕を改善できたが、消費電力の増加となっていた。これに対し、本発明では、トランスコンダクタそのものが直接ポールの周波数に関係ないため、低周波電力で位相補償を行うことができる。

【0029】このように本発明の増幅回路では、基本的には位相補償容量が不要となるが、以下に説明するように微小な位相補償容量 C_f を増幅回路 1 に付加してもよ

い。増幅回路 1 は、一般的に入力換算オフセット電圧 (V_{os}) を有している。この入力換算オフセット電圧 V_{os} は、例えば図 4 の (a) に示すように、オフセットのない増幅回路の一方の入力 (ここでは非反転入力) に入力換算オフセット電圧 V_{os} に相当する電圧源が入った形で、モデル化できる。図 4 の (b) に示すように、増幅回路に負帰還を施して増幅回路をボルテージフォロア構成で用いると、出力信号電圧 V_{out} は入力信号電圧 V_{in} を入力換算オフセット電圧 V_{os} 分の電圧だけオフセットした電圧が出力される。

【0030】この入力換算オフセット電圧 V_{os} をキャンセルするため、従来では図 5 の (a) に示すように容量 C_h とスイッチ $SW1 \sim SW3$ を用い、一度 $SW1$, $SW3$ を閉じ、 $SW2$ を開いて増幅回路をボルテージフォロア構成にすることによって、容量 C_h に入力換算オフセット電圧 V_{os} が加わるようにし (入力換算オフセット検知モード)、次に図 5 の (b) に示すようにスイッチ $SW1$, $SW3$ を開き、スイッチ $SW2$ を閉じてオフセット電圧 V_{os} が加わった容量 C_h が増幅回路の他方の入力 (反転入力) に直列に入るように接続を変えることで、入力換算オフセット V_{os} をキャンセルする方法をとっていた。

【0031】このように入力換算オフセット電圧キャンセルのためには、図 5 の (a) のオフセット電圧検知のための時間が必要となり、この時間を短くするために通常、増幅回路の信号出力端子と負荷容量 C_L とはスイッチ $SW4$ により切断されている。

【0032】この入力換算オフセット電圧キャンセルの手法を本発明の増幅回路にそのまま適用すると、図 5 の (a) のオフセット電圧検知モードでは図 1 の増幅回路 1 の信号出力端子 OUT が負荷容量 C_L から切断されるため、図 6 に示すように第 1 のポールおよび第 1 のゼロ点の周波数が実線で示す状態から周波数の高い方にシフトする結果、位相余裕が低減してしまう。そこで、オフセット電圧検知モードのように実効的な負荷容量 C_L が小さくなった状態に対応して、図 1 中に破線で示すように位相補償容量 C_f を併用すれば、このような問題を避けることができ、位相余裕を確保することができる。この場合、位相補償容量 C_f は例えば 0.5 pF といった小さな値でよいから、チップ面積の増大は僅かで済み、本発明の利点は損なわれない。

【0033】次に、図 7～図 22 を参照して図 1 の増幅回路の具体的回路構成を説明する。図 7～図 9 に、図 1 の増幅回路の第 1 の具体例を示す。図 7 に示す第 1 の増幅回路は増幅段が 2 段の構成であり、差動トランジスタ対を構成するトランジスタ M_{p1} , M_{p2} と該差動トランジスタ対にテール電流を与えるトランジスタ M_{p4} による電流源および差動トランジスタ対の二つの出力端であるドレインに電流入力端および電流出力端が接続されたトランジスタ M_{n1} , M_{n2} によるカレントミラーが

らなる入力増幅段と、トランジスタ M_{p3} , M_{n3} によるコンプリメンタリ・トランジスタ対からなる出力増幅段と、抵抗回路を構成する抵抗 R_f によって構成される。なお、 M_{px} は P チャネル MOS トランジスタ、 M_{nx} は N チャネル MOS トランジスタをそれぞれ表す (以下、同様)。

【0034】図 8 は、図 7 の抵抗 R_f の代わりにトランジスタ M_{pr} , M_{nr} のオン抵抗を用いた増幅回路の第 2 の具体例を示している。これによると、抵抗回路を構成する P チャネル MOS トランジスタ M_{pr} と N チャネル MOS トランジスタ M_{nr} のソースとドレインが互いに接続され、トランジスタ M_{p3} と M_{n3} のノードと出力端子 OUT との間に接続され、トランジスタ M_{pr} と M_{nr} のゲートは電源 V_{dd} と V_{ss} にそれぞれ接続される。

【0035】図 9 は、図 4 および図 5 で説明した増幅回路の入力換算オフセット電圧キャンセル動作に必要なスイッチ $SW4$ の機能を図 8 のトランジスタ M_{pr} , M_{nr} が兼ねるようにした増幅回路の第 3 の具体例を示す。この増幅回路によると、トランジスタ M_{nr} のゲートがインバータ IN を介してトランジスタ M_{pr} のゲートに接続される。この回路によると、スイッチング信号が信号ライン SL に入力されると、両トランジスタ M_{pr} , M_{nr} がオンとなり、このオン抵抗が抵抗 R_f の機能を果たす。

【0036】図 10 に、図 7 の増幅回路において負荷容量 C_L の値を 150 pF にしたときの利得および位相の周波数特性のシミュレーション結果を示す。抵抗 R_f が無い場合に比べ、抵抗 R_f を設けることにより、大幅に位相余裕が改善されていることが分かる。

【0037】また、上述したように入力換算オフセット電圧検知モードなどで、信号出力端子 OUT が負荷容量 C_L と切断され、等価的に負荷容量 C_L の値が例えば 2 pF と小さくなった場合、図 11 に示すように得られる位相余裕が小さくなる。これに対しては、例えば 0.5 pF と小さな位相補償容量 C_f を併用することにより、図 12 に示すように大きな負荷容量でも小さな負荷容量でも、共に大きな位相余裕を確保することができる。

【0038】図 13 に示すように、容量が小さくとも、位相補償容量 C_f の併用により大容量負荷のときは位相余裕が若干少なくなる。図 14 は、この点を改善するため、位相補償容量 C_f に直列接続されたスイッチ SWC を設けることにより、入力換算オフセット電圧検知モードなどで信号出力端子 OUT が負荷容量 C_L から切断され、等価的に負荷容量 C_L が例えば 2 pF と小さくなった場合のみスイッチ SWC を閉じるようにした増幅回路の第 4 の具体例を示している。これによると、スイッチ SWC がトランジスタ M_{n2} と M_{n3} とのノードとキャパシタ C_f との間に接続され、負荷容量 C_L が小さくなったとき、このスイッチ SWC が閉成される。これによ

って本発明による本来の位相余裕を確保することもできる。

【0039】液晶ディスプレイの信号線は、上述したような単純な容量モデルから、図15に示すような π 型モデルなどで表される。 π 型モデルのように、負荷に抵抗成分 R_L を含んでいても、図16に示すシミュレーション結果から明らかなように周波数特性はほとんど変わらない。

【0040】図17に、図7に示した増幅回路の出力増幅段の出力端（トランジスタ M_{n3} および M_{p3} のドレイン）から負側の信号入力端子 I_{N-} に帰還を施したボルテージフォロア構成で、入力信号電圧として矩形波を入力したときのシミュレーション結果を示す。図7の増幅回路では、立上がりのスルーレートはトランジスタ M_{p3} から供給される電流と負荷容量値 C_L の値により決定されており、トランジスタ M_{p3} から供給される電流が小さいため、十分なスルーレートが得られない。

【0041】この点については、増幅回路の入力信号電圧が正側に変動したことを検出して、出力増幅段のバイアス電流を供給するトランジスタ M_{p3} の出力電流を増加させることにより、立上がりのスルーレートを改善することができる。

【0042】図18は、この原理で立上がりのスルーレートを改善した増幅回路の第5の具体例であり、この増幅回路は、トランジスタ M_{n4} 、 M_{p6} により入力信号電圧が正極性に変化したことを検出し、入力信号電圧が正極性に変動したときにトランジスタ M_{p7} をオンさせて、電流源 I_L より供給される電流をトランジスタ M_{p3} のゲートバイアス電圧を決定しているダイオード接続されたトランジスタ M_{p5} に流し、トランジスタ M_{p3} のゲートバイアス電圧を大きくする構成となっている。

【0043】図18の回路についてより詳細に説明すると、トランジスタ M_{p6} は電流源を構成し、そのゲートはバイアス電流決定用トランジスタ M_{p5} のドレインおよびゲートに接続されている。トランジスタ M_{p7} はゲートがトランジスタ M_{n4} および M_{p6} のドレインに接続され、ソースがバイアス電流決定用トランジスタ M_{p5} のドレインおよびゲートに接続され、ドレインが定電流源 I_L に接続されている。

【0044】ここで、説明を簡単にするために、トランジスタ M_{n4} と入力増幅段2のトランジスタ M_{n1} は同一サイズ、つまり W/L （ W はMOSトランジスタのチャネル幅、 L はMOSトランジスタのチャネル長）が同一であるとする。また、トランジスタ M_{p6} のサイズ（ W/L ） M_{p6} は、入力増幅段2の電流源トランジスタ M_{p4} のサイズ（ W/L ） M_{p4} の0.6倍であるとする。信号入力端子 I_{N+} 、 I_{N-} 間に印加される電圧がゼロまたは負のとき、つまり、正側の信号入力端子 I_{N+} の電圧が負側の信号入力端子 I_{N-} の電圧より低いときは、トランジスタ M_{n1} にトランジスタ M_{p4} から供

給される電流の半分以下の電流が流れ、このトランジスタ M_{n1} の電流がトランジスタ M_{n4} によりコピーされる。

【0045】ここで、トランジスタ M_{p6} から供給される電流は、トランジスタ M_{p4} より供給される電流の0.6倍であり、この場合はトランジスタ M_{n4} に流れる電流より大きいので、トランジスタ M_{p6} のドレイン電圧が高くなり、トランジスタ M_{p7} はオフとなるため、電流源 I_L から供給される電流はトランジスタ M_{p5} に加算されない。

【0046】一方、信号入力端子 I_{N+} 、 I_{N-} 間に印加される入力信号電圧が所定の正極性の電圧以上のとき、つまり、正側の信号入力端子 I_{N+} の電圧が負側の信号入力端子 I_{N-} の電圧より所定値以上高いときは、トランジスタ M_{n1} にトランジスタ M_{p4} から供給される電流の0.6倍より大きい電流が流れ、このトランジスタ M_{n1} の電流がトランジスタ M_{n4} によりコピーされる。

【0047】ここで、トランジスタ M_{p6} から供給される電流は、トランジスタ M_{p4} から供給される電流の0.6倍であり、この場合はトランジスタ M_{n4} に流れる電流より小さいため、トランジスタ M_{p6} のドレイン電圧が低くなり、トランジスタ M_{p7} はオンとなる。これにより電流源 I_L から供給される電流はトランジスタ M_{p7} を介してバイアス電流決定用トランジスタ M_{p5} に加算されるため、トランジスタ M_{p5} のゲート・ソース間電圧は大きくなり、トランジスタ M_{p3} から供給される電流も大きくなる。

【0048】このようにして、入力信号電圧が正極性に変化するとき出力増幅段3のトランジスタ M_{p3} から供給される電流が大きくなるように制御できるので、立上がりのスルーレートを改善することができる。

【0049】図19に、図18に示した立上がりのスルーレートを改善した増幅回路において、出力増幅段の出力（トランジスタ M_{n3} および M_{p3} のドレイン）から負側の信号入力端子 I_{N-} に帰還を施したボルテージフォロア構成で、入力信号電圧として矩形波を入力したときのシミュレーション結果を示す。ここで、 v_2 は出力増幅段2の出力電圧（トランジスタ M_{p3} および M_{n3} のドレイン電圧）、 v_o は信号出力端子 OUT の電圧である。立ち下がり特性と同程度まで立上がりの特性が改善されていることが分かる。

【0050】抵抗回路 R_f と負荷容量 C_L は低域通過フィルタ（以下、LPFという）を構成しているため、その時定数 $\tau (=R_f \cdot C_L)$ により v_o は v_2 に対して遅れる。通常、抵抗と容量により形成されるLPFでは、時定数の5倍程度の時間がセティングに必要なので、本発明の増幅回路を例えば所定の期間毎に信号電圧が変化する液晶ディスプレイ駆動回路に適用する際には、時定数 τ を所定の周期の $1/5$ 以下となるようにす

ればよい。

【0051】このようにすることで、図19に示すように入力増幅段2の出力電圧 v_2 に対する信号出力端子OUTの電圧 v_o の遅れ時間を小さくして、所定のセトリグ特性を満足させることができる。具体的には、例えば液晶ディスプレイ駆動回路における信号電圧の駆動周期はほぼ $20\mu\text{sec}$ なので、負荷容量 CL として $50\text{pF} \sim 100\text{pF}$ 程度を想定した場合、抵抗回路 R_f の値を $50\text{k}\Omega$ 以下にすればよい。

【0052】液晶ディスプレイの信号線はディスプレイのサイズや信号線の材質によっても変わるため、これらに応じて抵抗 R_f を最適な値に選ぶことが望ましい。図20～図22に、抵抗 R_f を最適な値にするための具体例を示す。

【0053】図20は、出力増幅段の出力端（トランジスタ Mn_3 、 Mp_3 のドレイン）と信号出力端子OUTとの間に、抵抗値の異なる複数の抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…をスイッチ SW_{10} 、 SW_{11} 、 SW_{12} 、…を介して並列に配設し、スイッチ SW_{10} 、 SW_{11} 、 SW_{12} 、…の開閉を制御することによって抵抗 R_f の値を選択するようにした増幅回路の具体例である。

【0054】なお、図20において抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…の抵抗値を同一とし、スイッチ SW_{10} 、 SW_{11} 、 SW_{12} 、…の開閉による抵抗の並列接続数を変えることで、抵抗 R_f の値を選択するようにしてもよい。

【0055】図21は、出力増幅段の出力端（トランジスタ Mn_3 、 Mp_3 のドレイン）と信号出力端子OUTとの間に、抵抗値の異なる複数の抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…を直列に配設するとともに、各抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…にスイッチ SW_{10} 、 SW_{11} 、 SW_{12} 、…を並列に配設し、スイッチ SW_{10} 、 SW_{11} 、 SW_{12} 、…の開閉を制御することによって抵抗 R_f の値を決定するようにした増幅回路の第7の具体例である。

【0056】なお、図21において抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…の抵抗値を同一とし、スイッチ SW_{10} 、 SW_{11} 、 SW_{12} 、…の開閉による抵抗の直列接続数を変えることで、抵抗 R_f の値を選択するようにしてもよい。

【0057】図22は、増幅回路を集積回路化する際に、予め複数の抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…をチップ上に形成しておき、液晶ディスプレイパネルに応じて抵抗値 R_f が最適になるように、これらの抵抗 R_{f10} 、 R_{f11} 、 R_{f12} 、…のうちの一つあるいは複数の抵抗を金属配線のレイヤのみ変えることで実現するようにした増幅回路の第8の具体例である。

【0058】図23は、第9の具体例であり、同相入力電圧範囲の広い増幅回路に本発明を適用したrail-to-rail typeの増幅回路を示す。これによると、入力増幅段2は、トランジスタ Mp_{11} 、 Mp_{12} による差動対と

バイアス電流源 I_{b2} により構成され、 V_{ss} 側に同相入力電圧範囲を有する第1の差動増幅回路と、トランジスタ Mn_{11} 、 Mn_{12} による差動対とバイアス電流源 I_{b1} により構成され、 V_{dd} 側に同相入力電圧範囲を有する第2の差動増幅回路と、トランジスタ Mp_{14} ないし Mp_{17} で構成するカレントミラー回路とで構成される。これにより、第1の差動増幅回路の出力電流と第2の差動増幅回路の電流出力とがカレントミラー回路で折り返されて加算される。ここで、トランジスタ Mn_{14} 、 Mn_{15} は能動負荷として動作している。

【0059】上記構成の増幅回路において、高い入力電圧、即ち電圧 V_{dd} 側の入力電圧 I_N が入力増幅段2に印加されると、トランジスタ Mn_{11} 、 Mn_{12} となる第1の差動増幅回路がアクティブとなる。これに対して、入力電圧 I_N が低い、即ち電圧 V_{ss} 側にある場合、第2の差動増幅回路がアクティブとなる。即ち、入力電圧 I_N が V_{dd} 側或は V_{ss} 側となっても、第1或は第2の差動増幅回路のどちらか一方が動作するため、入力同相電圧範囲の広い入力増幅段2が実現される。この構成では、入力電圧 I_N が V_{dd} 側となった時の信号経路が、入力電圧が V_{ss} 側となった時の信号経路より長くなり、これによる遅延時間差が生じるが、通常の $a-Si$ （アモर्फアスシリコン）TFT液晶ディスプレイ駆動回路用増幅回路の動作速度からするとこの遅延時間差は小さく本発明の効果は変わらない。

【0060】図24は、同相入力電圧範囲の広い増幅回路に本発明を適用したレール・ツ・レール型（rail-to-rail type）増幅回路の第10の具体例を示す。これによると、入力増幅段2は、トランジスタ Mp_{11} 、 Mp_{12} による差動対と Mp_{21} 、 Mp_{22} による差動対のソースを共通にしており、トランジスタ Mp_{11} 、 Mp_{12} のゲートは入力信号が印加され、トランジスタ Mp_{13} 、 Mp_{14} のゲートは、トランジスタ Mn_{11} 、 Mn_{12} による差動対で構成される差動増幅回路の出力に接続されている。また、トランジスタ Mn_{11} 、 Mn_{12} による差動対で構成される差動増幅回路の出力の動作点は、トランジスタ Mp_{21} 、 Mp_{22} が動作する電圧に設定してある。

【0061】この構成により、入力電圧が V_{dd} 側に近付きトランジスタ Mp_{11} 、 Mp_{12} がオフしても Mn_{11} 、 Mn_{12} トランジスタによる差動対で構成される差動増幅回路を介して、トランジスタ Mp_{21} 、 Mp_{22} が動作するので、入力同相電圧範囲の広い入力増幅段2が実現される。この構成では、入力電圧が V_{dd} 側となった時、トランジスタ Mn_{11} 、 Mn_{12} による差動対で構成される差動増幅回路を通過する分、入力電圧が V_{ss} 側に近づいたときの動作に比べ、差動増幅回路の遅延時間だけ遅くなるが、通常の $a-Si$ TFT液晶ディスプレイ駆動回路用増幅回路の動作速度からするとこの遅延時間差は小さく本発明の効果は変わらない。

【0062】図23及び図24に示した例では、 $a-SiTFET$ 液晶ディスプレイ駆動回路の増幅回路を前提としたが、 $Poly-SiTFET$ 液晶ディスプレイ駆動回路の増幅回路では、パネルの複数の信号線が1個の増幅回路により時分割で駆動されるため、 $a-SiTFET$ 液晶ディスプレイ駆動回路の増幅回路より10倍以上高速に動作する増幅回路が要求される。このため、同相入力電圧範囲の広い入力増幅段で生じる入力電圧による遅延時間差は、 $a-SiTFET$ 液晶ディスプレイ駆動回路用増幅回路の時と異なり無視できなくなり、位相余裕の劣化となる。これは、図25および図26に示したように、同相入力電圧を広げるために付加したトランジスタ M_{11} 、 M_{12} による差動対で構成される差動増幅回路出力から出力増幅段に容量素子を含むフィードフォワード経路を付加することにより高周波信号成分が図25では、 M_{p16} 、 M_{p17} を通過する時間、また、図26では、 M_{p21} 、 M_{p22} を通過する時間を短くすることができる。これにより、遅延時間差を緩和することができる。

【0063】より具体的には、図25および図26では、出力増幅段のバイアス電流源を構成するトランジスタ M_{p13} のゲートに抵抗 R_{ff} を介してバイアス電圧 V_b を印加し、トランジスタ M_{p15} のゲートからトランジスタ M_{p13} のゲートに容量 C_{ff2} によるフィードフォワード経路を付加している。さらに、出力増幅段の増幅トランジスタ M_{n13} が、ゲートが共通でカスコード構成されたトランジスタ M_{n13a} 、 M_{n13b} に置き換え、トランジスタ M_{n13a} のソースとトランジスタ M_{n13b} のドレインの接続点とトランジスタ M_{p14} のゲートとの間に容量 C_{ff1} によるフィードフォワード経路が付加されている。この構成により、入力電圧が高速に変化しても変化点の周波数の高い成分はこれら容量性フィードフォワード経路を介して出力増幅段にフィードフォワードされるため、同相入力電圧範囲の広い入力増幅段で生じる入力電圧による遅延時間差を緩和することができる。

【0064】なお、図25および図26では、トランジスタ M_{p13} のゲートへのフィードフォワード経路形成のため、抵抗 R_{ff} を用いているが、図27に示すように電界効果トランジスタ M_{ff} のオン抵抗を用いても良い。

【0065】また、図28に示すように、図26に示す増幅回路に入力信号電圧が正側に変動したことを検出して、出力増幅段3のバイアス電流を供給するトランジスタ M_{p13} の出力電流を増加させるバイアス電圧(V_b)制御回路を組み合わせたこともできる。この時、図28に点線で示したように、入力信号電圧が正側に変動したことを検出して加えるバイアス電流 I_{L2} を増幅回路のバイアス電流 I_{b1} に直接加算せず、フィードフォワード経路を設けるため加えた抵抗 R_{ff} を介して加え

ることにより、 $I_{L2} \times R_{ff}$ なる電圧が抵抗 R_{ff} にかかるため、小さなバイアス電流 I_L でトランジスタ M_{p3} のゲート・ソース電圧を大きくすることができる。つまり、入力信号電圧が正側に変動した時に、小さなバイアス電流 I_L で、トランジスタ M_{p13} にて大きな出力電流を供給することができる。

【0066】図28の増幅回路において、トランジスタ M_{n16} 、 M_{p32} 、 M_{p33} 、 M_{p34} 、電流源 I_{L1} 、 I_{L2} により構成されるバイアス電圧(V_b)制御回路は、入力電圧が低い電圧から高い電圧に大きく変動した場合、これを検知して出力増幅段3のバイアス電流を供給するトランジスタ M_{p13} の出力電流を増加させる。この制御回路は、同相入力電圧範囲を広げるために設けてあるトランジスタ M_{n11} 、 M_{n12} による差動対並びに、トランジスタ $M_{p14} \sim M_{p17}$ による能動負荷で構成される増幅回路を介して、トランジスタ M_{p11} 、 M_{p12} による差動対に並列に設けたトランジスタ M_{p11} 、 M_{p12} による差動対に接続される。この差動対の出力が前記制御回路の入力であるトランジスタ M_{n16} のゲートに印加される。このため、入力電圧の変化に対して、この制御回路が動作して出力電流を増加するまでに遅延を生じる。この遅延は、図29に示すように、同相入力電圧範囲を広げるために加えてあるトランジスタ M_{n11} 、 M_{n12} による差動対並びに、トランジスタ M_{p14} 、 M_{p17} による能動負荷で構成される増幅回路の出力であるトランジスタ M_{n12} の出力と入力電圧変化検知部出力であるトランジスタ M_{n16} の出力の間に容量 C_{ff3} を設けることにより、入力電圧の変化が、容量 C_{ff3} を介して入力電圧変化検知部出力にフィードフォワードされるため緩和できる。

【0067】図30に、液晶ディスプレイ駆動回路用の増幅回路の機能を示す。図30に示すように液晶セルの共通電極側に印加するコモン電圧 V_{com} を一定電圧にし、この電圧 V_{com} を基準にして信号電圧 V_{RGB} を周期的に反転させる場合、液晶ディスプレイ駆動回路は、図30に示すように入力される RGB 信号を V_{com} より正側の電圧にデジタル・アナログ変換する正側 D/A 変換器 $DA1$ と、 V_{com} より負側の電圧にデジタル・アナログ変換する負側 D/A 変換器 $DA2$ と、これら正側および負側の D/A 変換器の出力電圧を増幅するための入力の電圧変化範囲が異なる2入力用増幅回路 AMP が必要となる。また、この2入力用増幅回路はその機能として、一方の D/A 変換器の出力を入力する増幅するとき、他方の D/A 変換器の出力を入力する増幅回路がオフになっていることが要求される。

【0068】図31は、上述した入力信号電圧範囲の異なる2入力用増幅回路に本発明を適用した第15の具体例である。この2入力用増幅回路は増幅段が2段の構成であり、入力増幅段はコモン電圧 V_{com} に対して正側の入力信号電圧範囲を持つ正側増幅回路と、コモン電圧 V

com に対して負側の入力信号電圧範囲を持つ負側増幅回路と、正側および負側いずれのD/A変換器の出力を入力するかを選択する選択信号POLにより正側および負側増幅回路の動作を選択するための第1および第2のスイッチSW20, SW21とで構成される。

【0069】正側増幅回路は、トランジスタMn41, Mn42により構成される第1の差動トランジスタ対と、第1の差動トランジスタ対にテール電流を与える第1の電流源Ib1と、第1の差動トランジスタ対の二つの出力端（トランジスタMn41, Mn42のドレイン）に電流入力端および電流出力端がそれぞれ接続されたトランジスタMp44, Mp45からなる第1のカレントミラーにより構成される。負側増幅回路は、同様にトランジスタMp41, Mp42により構成される第2の差動トランジスタ対と、第2の差動トランジスタ対にテール電流を与える第2の電流源Ib1と、第2の差動トランジスタ対の二つの出力端（トランジスタMp41, Mp42のドレイン）に電流入力端および電流出力端がそれぞれ接続されたトランジスタMn44, Mn45からなる第2のカレントミラーにより構成される。

【0070】第1のスイッチSW20は第1の差動トランジスタ対の二つの出力端間に接続され、第2のスイッチSW21は第2の差動トランジスタ対の二つの出力端間に接続されている。

【0071】また、出力増幅段はトランジスタMp43, Mn43により構成され、抵抗回路は抵抗Rfにより構成される。

【0072】図31に示す2入力用増幅回路の動作を説明するために、まず負側増幅回路に負側D/A変換器の出力を入力する場合を考える。このとき、選択信号POLには“0”が与えられ、スイッチSW20はオン、スイッチSW21はオフの状態にある。正側D/A変換器の出力電圧は不定であるが、コモン電圧Vcomより高いので、トランジスタMn1のゲート電圧、つまり増幅回路の出力増幅段の出力電圧がVcomより低くとも、トランジスタMn42はオン状態となる。また、スイッチSW20はオンであるので、トランジスタMp45もダイオード接続となっている。

【0073】電流源Ib1より供給される電流は、トランジスタMn42, Mn41の一方あるいは両方を介して、ダイオード接続されたトランジスタMp44, Mp45に流れ、トランジスタMp44, Mp45のサイズ(W/L)の2倍のサイズとトランジスタMp43のサイズ(W/L)の比に応じて発生した電流が出力増幅段のバイアス電流としてトランジスタMp43から供給される。

【0074】すなわち、負側のD/A変換器の出力を入力する場合は、図32に示す接続状態で動作することになる。これは、出力増幅段3のバイアス電流の与え方が異なる他は図7に示した回路接続と全く同じで、図7～

図9で説明したように位相補償容量を必要とせず、抵抗Rfにより安定動作が実現できるのは明らかである。よって、位相補償容量で必要であったチップ面積を削減できるので、コストの低減をすることができる。

【0075】正側D/A変換器の出力を入力する場合は、全くPチャネルMOSトランジスタとNチャネルMOSトランジスタが逆になるだけで、基本的な動作は負側D/A変換器の出力を入力する場合と同じである。

【0076】また、このように使用していない増幅回路の差動トランジスタ対の出力間をスイッチで短絡することにより、出力増幅段のバイアス電流を簡単に設定できるという効果もある。

【0077】図33は図31の変形例にかかる増幅回路の第16の具体例であり、正側増幅回路の第1のカレントミラーにトランジスタMp44の電流を参照してアダプティブに出力増幅段のバイアス電流を与えるための電流を発生するトランジスタMp46が追加され、負側増幅回路の第2のカレントミラーにトランジスタMn44の電流を参照してアダプティブに出力増幅段のバイアス電流を与えるための電流を発生するトランジスタMn46が追加されている。

【0078】また、正側増幅回路および負側増幅回路の電流源Ib1, Ib2のオン・オフを制御するための第3、第4のスイッチSW22, SW23と、第1のカレントミラーの第2の電流出力端であるトランジスタMp46のドレインと第2のカレントミラーの電流入力端との間に挿入された第5のスイッチSW24と、第2のカレントミラーの第2の電流出力端であるトランジスタMn46のドレインと第1のカレントミラーの電流入力端との間に挿入された第6のスイッチSW26が追加されている。追加されたスイッチSW22～SW26も、スイッチSW20, SW21と同様に選択信号POLにより制御される。

【0079】また、出力増幅段はトランジスタMp43, Mn43により構成され、抵抗回路は抵抗Rfにより構成される。

【0080】図33に示す2入力用増幅回路の動作を説明するために、まず負側増幅回路に負側D/A変換器の出力を入力する場合を考える。このとき、選択信号POLには“0”が与えられ、スイッチSW20, SW23, SW25はオン、スイッチSW21, SW22, SW24はオフの状態にある。スイッチSW22がオフであることにより、電流源Ib1より供給される電流はトランジスタMn41, Mn42には流れず、正側増幅回路を構成する差動入力トランジスタMn41, Mn42はオフ状態となる。また、スイッチSW23はオンであるので、電流源Ib2より供給される電流はトランジスタMp41, Mp42には流れ、負側増幅回路は動作する。

【0081】ここで、トランジスタMn46はトランジ

スタMn44に流れる電流を参照した電流を発生させ、オンとなっているスイッチSW25を介して、同じくオンとなっているスイッチSW20により、ダイオード接続されたトランジスタMp45、Mp44に流れ、トランジスタMp44、Mp45のサイズ(W/L)の2倍のサイズとトランジスタMp43のサイズ(W/L)の比に応じて発生した電流が出力増幅段のバイアス電流としてトランジスタMp43から供給される。結局、負側のD/A変換器の出力を入力する場合、増幅回路は、図34に示す接続状態で動作することになる。

【0082】すなわち、図34の接続状態で増幅回路が定常状態となったとき、言い換えれば負側増幅回路の正負の入力信号電圧がバランスしたときは、負側増幅回路の電流源Ib2からのバイアス電流の1/2の電流がトランジスタMn44、Mn46のサイズ(W/L)の比(W/L)Mp46/(W/L)Mp6に応じて発生し、これがトランジスタMp44、Mp45のサイズ(W/L)の2倍のサイズと、トランジスタMp43のサイズ(W/L)に比に応じて増幅された電流が出力増幅段のバイアス電流としてトランジスタMp43から供給される以外、図7に示した回路接続と全く同じで、図7~図9で説明したように抵抗Rfにより安定動作が実現できるのは明らかである。

【0083】また、負側増幅回路の正側入力より大きくなるような過渡状態においては、電流源Ib2からのバイアス電流が全てトランジスタMp41を介してトランジスタMn44に流れることになるので、トランジスタMp43から供給される出力増幅段のバイアス電流を定常状態のときの2倍とすることができる。これにより、トランジスタMp43と負荷容量で決定される立ち上がり特性を定常状態での消費電力を上げることなく2倍に改善することができる。

【0084】さらに、負側増幅回路の正側入力より小さくなるような過渡状態においては、電流源Ib2からのバイアス電流が全てトランジスタMp42に流れ、トランジスタMn44には流れなくなる。その結果、トランジスタMp43から供給される出力増幅段のバイアス電流はゼロとなり、トランジスタMp43からトランジスタMn43に流れる貫通電流を削減して、低消費電力化をはかることができる。

【0085】正側D/A変換器の出力を入力する場合は、全くPチャネルMOSトランジスタとNチャネルMOSトランジスタが逆になるだけで、基本的な動作は負側D/A変換器の出力を入力する場合と同じである。

【0086】このように抵抗Rfを設けることにより、位相補償容量を必要とすることなく増幅回路の安定動作が実現でき、チップ面積を削減できるばかりでなく、立ち上がりや下がりなどの過渡特性を定常状態での消費電力化を増大することなく2倍にすることができる。

【0087】図35は、図36に示す液晶ディスプレイ

装置に用いる液晶ディスプレイ駆動回路に本発明の増幅回路を用いた構成図である。

【0088】図36に示される液晶ディスプレイ装置は、液晶セル301がマトリクス状に配列され、画像信号が供給される複数本の信号線304と複数本の走査線305が交差して配設されて構成された液晶ディスプレイパネル300と、画像信号を信号線304に供給して液晶ディスプレイパネル300を駆動するための液晶ディスプレイ駆動回路302、および走査線305を選択的に駆動する走査線選択回路303により構成される。

【0089】図35に示すようにディスプレイ駆動回路はRGB信号を記憶する1水平ラインに必要な画素数と同じ数のラッチ222と、RGBをラッチするタイミングパルスを転送するシフトレジスタ221と、ラッチ222で記憶されたRGB信号を1水平期間の周期でさらに記憶するラッチ223と、ラッチ223で記憶された1水平ラインのRGB信号をアナログ値に変換するD/A変換器224と、D/A変換器224にてアナログ電圧に変換されたRGB信号を入力し、液晶ディスプレイパネルの信号線および液晶セルを駆動するための駆動回路225より構成される。

【0090】増幅回路225は、この例では図31に示した本発明に基づく第15の具体例の回路である。図31で説明した通り、増幅回路225では動作安定化のために特に位相補償容量を必要としない。

【0091】図35では、図31に示した具体例の増幅回路を駆動回路225に適用した例について説明したが、他の具体例の増幅回路を駆動回路225に用いてもよいことは勿論である。

【0092】なお、以上の実施形態ではMOSトランジスタで構成した増幅回路について説明したが、各トランジスタをバイポーラトランジスタに置き換えて増幅回路を構成することもできる。その場合は、ゲートをベースに、ソースをエミッタに、ドレインをコレクタにそれぞれ置き換え、さらにW/Lをエミッタ面積に置き換えて考えればよい。

【0093】

【発明の効果】以上説明してきたように、本発明によれば少なくとも入力増幅段と出力増幅段を有する増幅回路において、出力増幅段の出力端と増幅回路の信号出力端子との間に抵抗回路を挿入することにより、従来の増幅回路で安定化のために必須であった位相補償容量が不要となるか、あるいは大幅に低減することができるので、集積化した際にチップ面積を削減してコストを低減させ、かつ安定に動作する増幅回路を安価に提供できる。

【0094】また、本発明の増幅回路を集積化した液晶ディスプレイ駆動回路に適用することによって、液晶ディスプレイ装置のコストも低減することができる。

【0095】また、従来の位相補償では、ポール周波数は、大容量負荷に対して出力増幅段のトランスコンダク

タンスに比例するので、出力増幅段の電流を大きくすることにより位相余裕を改善できたが、消費電力の増加となっていた。これに対し、本発明ではトランスコンダクタンスそのものが直接ポールの周波数に関係ないため、低消費電力で位相補償を行なうことができる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係る増幅回路の基本構成を示す図

【図 2】図 1 の増幅回路の等価回路を示す図

【図 3】図 1 の増幅回路の利得および位相の周波数特性を示す図

【図 4】増幅回路の入力換算オフセットを説明する図

【図 5】増幅回路の入力換算オフセットキャンセル動作を説明する図

【図 6】図 1 の増幅回路で位相補償容量を併用しない場合のオフセット検知モードでの利得および位相の周波数特性の変化を示す図

【図 7】図 1 の増幅回路の第 1 の具体例を示す図

【図 8】図 7 で抵抗回路を電界効果トランジスタのオン抵抗で実現した増幅回路の第 2 の具体例を示す図

【図 9】図 8 でオン抵抗として用いる電界効果トランジスタをスイッチと兼用した増幅回路の第 3 の具体例を示す図

【図 10】本発明による周波数特性の改善効果を説明するための図

【図 11】周波数特性の負荷容量に対する依存性を示す図

【図 12】位相補償容量併用の効果を示す図

【図 13】位相補償容量の周波数特性に対する影響を示す図

【図 14】位相補償容量を切り切りするためのスイッチを付加した増幅回路の第 4 の具体例を示す図

【図 15】抵抗成分を含んだ負荷を図 7 に示す増幅回路に接続した状態を示す図

【図 16】図 15 の周波数特性を示す図

【図 17】図 7 の増幅回路の過渡特性を示す図

【図 18】図 5 の増幅回路の過渡特性を改善した増幅回路の第 5 の具体例を示す図

【図 19】図 18 の増幅回路の改善された過渡特性を示す図

【図 20】図 18 の増幅回路を変形した第 6 の具体例を示す図

【図 21】図 18 の増幅回路を変形した第 7 の具体例を示す図

【図 22】図 18 の増幅回路を変形した第 8 の具体例を示す図

【図 23】同相入力電圧範囲の増幅回路に本発明を適用した増幅回路の第 9 の具体例を示す図

【図 24】同相入力電圧範囲の増幅回路に本発明を適用した増幅回路の第 10 の具体例を示す図

【図 25】図 23 の増幅回路の高速化を計った増幅回路の第 11 の具体例を示す図

【図 26】図 24 の増幅回路の高速化を計った増幅回路の第 12 の具体例を示す図

【図 27】図 26 でオン抵抗として用いる電界効果トランジスタを用いた増幅回路の第 13 の具体例を示す図

【図 28】過渡特性を改善した図 26 の増幅回路の変形例にかかる第 14 の具体例を示す図

【図 29】過渡特性を改善した図 26 の増幅回路の他の変形例にかかる第 15 の具体例を示す図

【図 30】共通電極電圧 V_{com} を一定にしたときの液晶ディスプレイ駆動回路の増幅回路に必要な機能を説明する図

【図 31】本発明に係る入力信号電圧範囲の異なる 2 入力用増幅回路の第 16 の具体例を示す図

【図 32】図 31 の増幅回路の動作を説明する図

【図 33】図 31 の増幅回路の変形例にかかる増幅回路の第 17 の具体例を示す図

【図 34】図 33 の増幅回路の動作を説明する図

【図 35】図 33 の増幅回路を適用した液晶ディスプレイ駆動回路を示す図

【図 36】液晶ディスプレイ装置の構成を示す図

【符号の説明】

- 1…増幅回路
- 2…入力増幅段
- 3…出力増幅段
- 4…抵抗回路
- 221…シフトレジスタ
- 222、223…ラッチ回路
- 224…D/A変換器
- 225…駆動回路
- 300…液晶ディスプレイ
- 301…液晶セル
- 302…液晶ディスプレイ駆動回路
- 303…走査線選択回路
- 304…信号線
- 305…走査線
- M_p …NチャネルMOSトランジスタ
- M_n …PチャネルMOSトランジスタ
- g_m …各増幅段のトランスコンダクタンス
- v_i …増幅回路の入力信号電圧
- v_1 …入力増幅段の出力電圧
- v_2 …出力増幅段の出力電圧
- v_o …増幅回路の出力信号電圧
- V_{com} …液晶ディスプレイの共通電極の電圧
- I …電流源
- V_{dd} …第 1 の電源電位点
- V_{ss} …第 2 の電源電位点
- C_f …位相補償容量
- C_1 …入力増幅段の出力端子に付いている容量成分

CL 、 $CL1$ 、 $CL2$ …負荷の容量成分

$R1$ …入力増幅段の出力抵抗と出力増幅段の入力抵抗の
並列合成抵抗

$R2$ …出力増幅段の出力抵抗

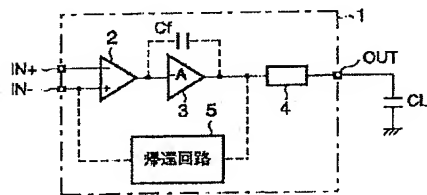
Rf …安定化のための抵抗

RL …負荷の抵抗成分

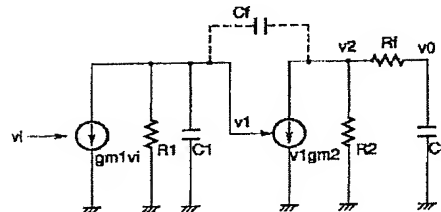
$IN+$ 、 $IN-$ …増幅回路の信号入力端子

OUT …増幅回路の信号出力端子

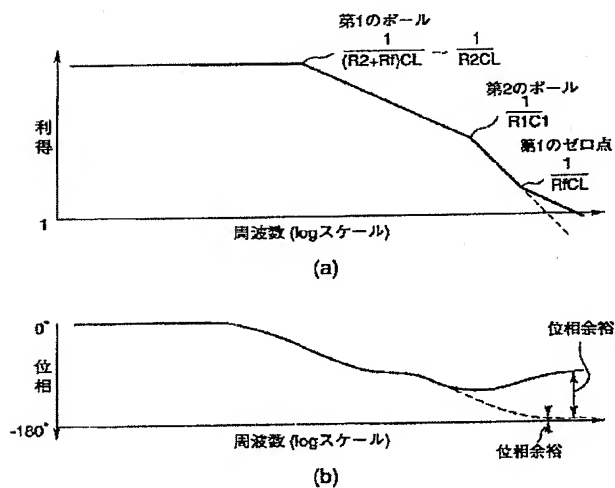
【図 1】



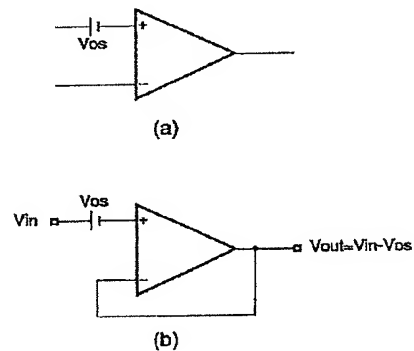
【図 2】



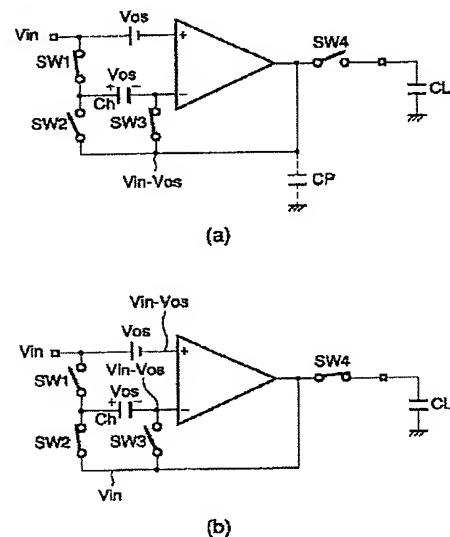
【図 3】



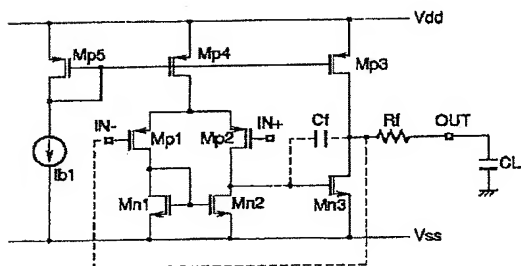
【図 4】



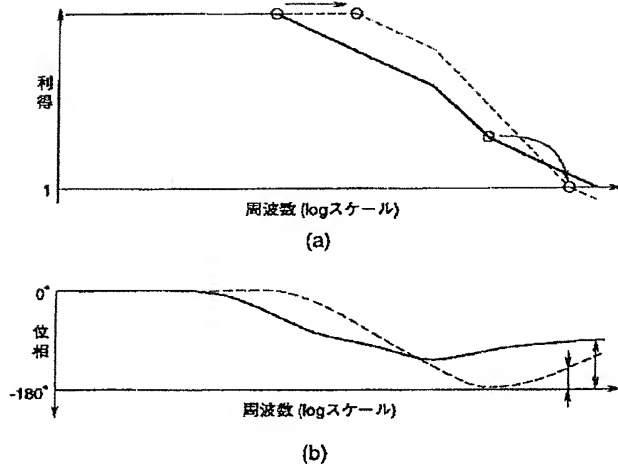
【図 5】



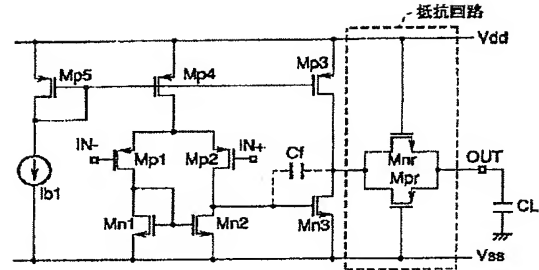
【図 7】



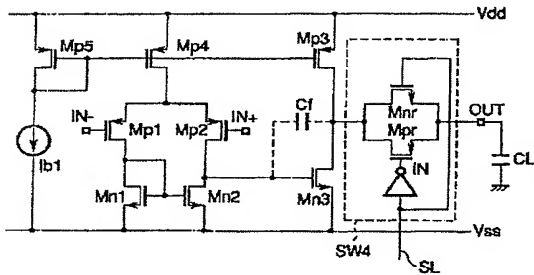
【図 6】



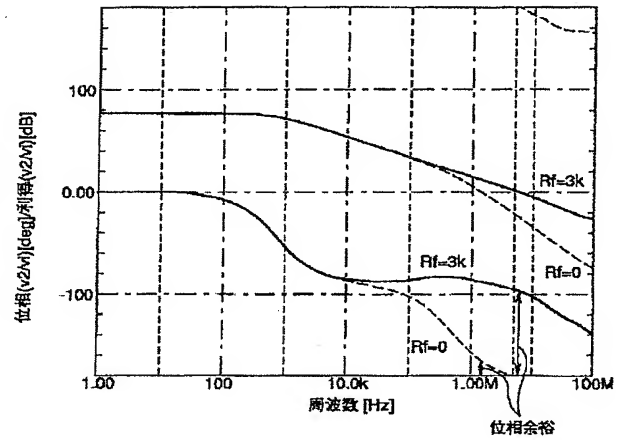
【図 8】



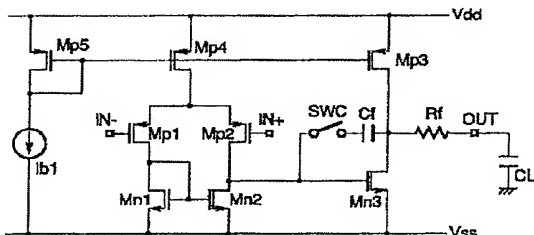
【図 9】



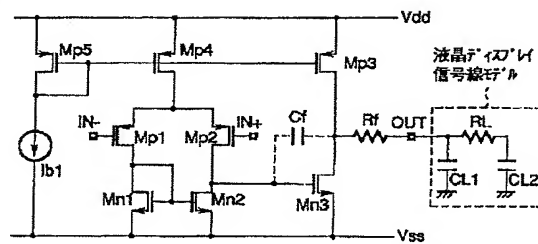
【図 10】



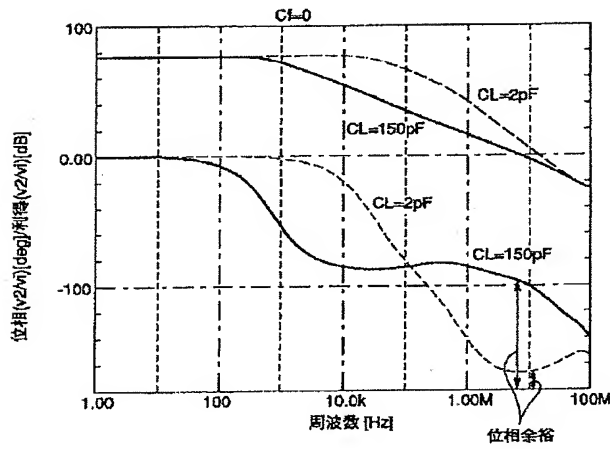
【図 14】



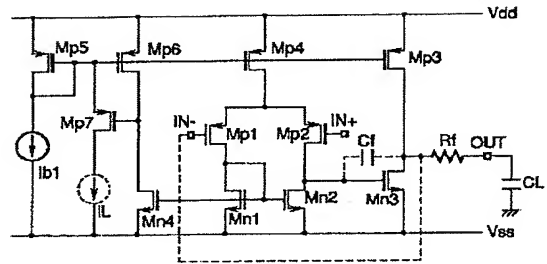
【図 15】



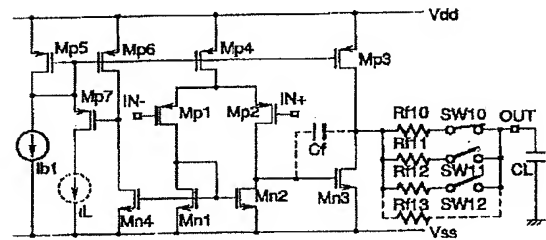
【図 11】



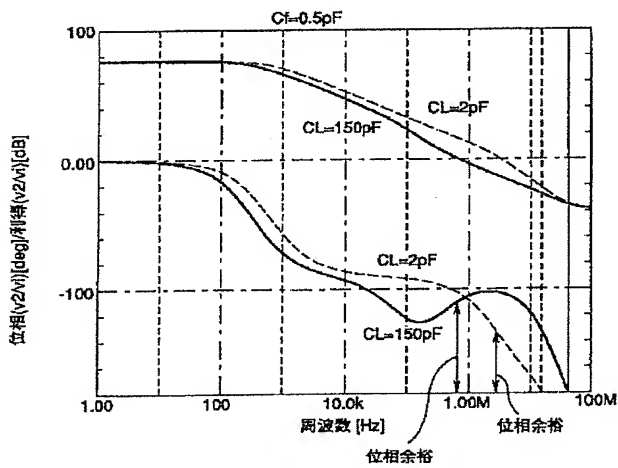
【図 18】



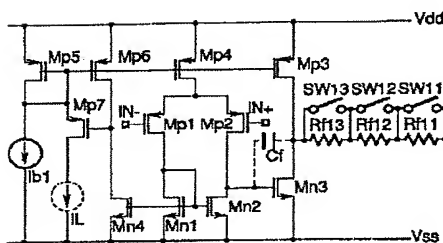
【図 20】



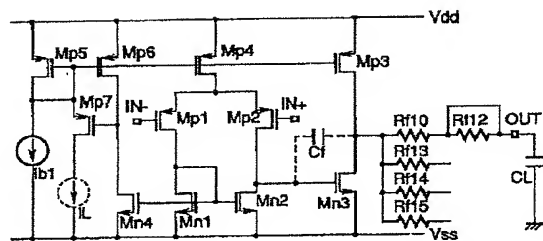
【図 12】



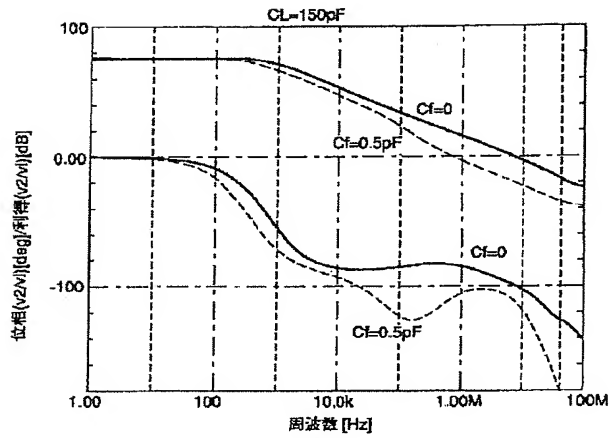
【図 21】



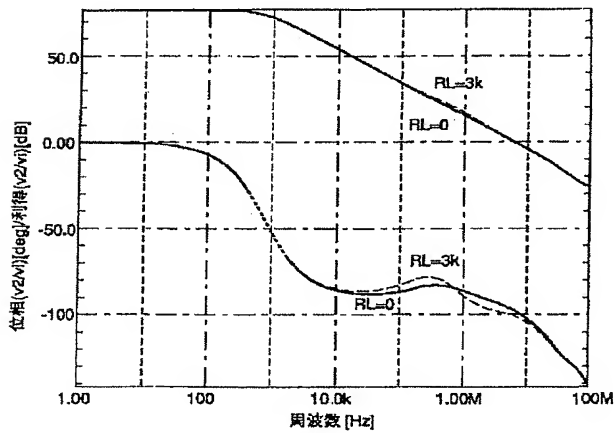
【図 22】



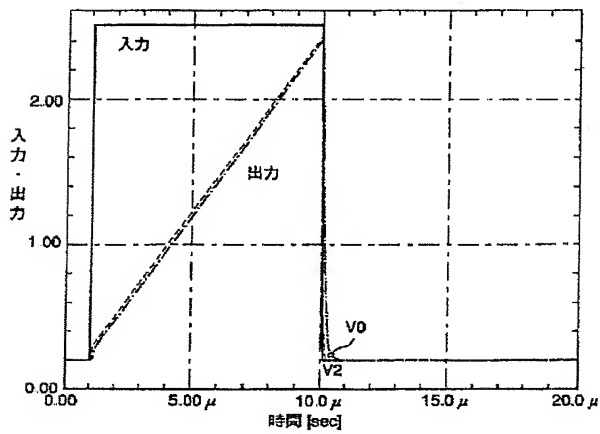
【図 13】



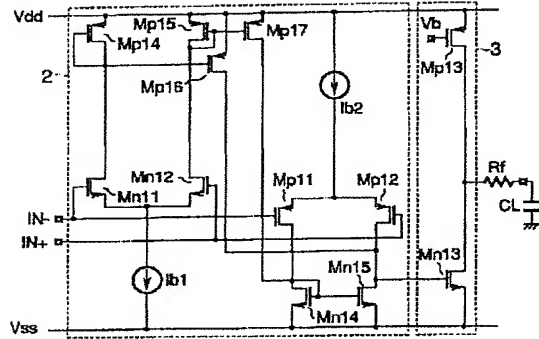
【図 16】



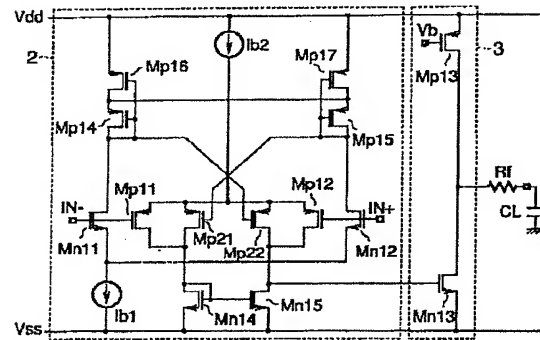
【図 17】



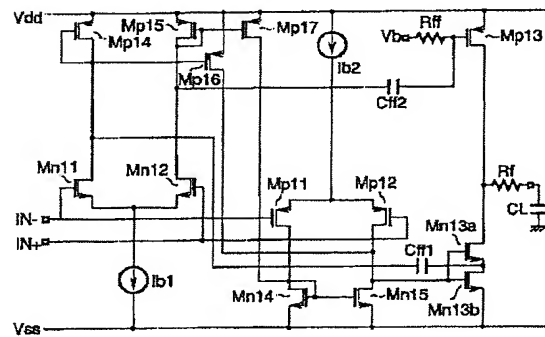
【図 23】



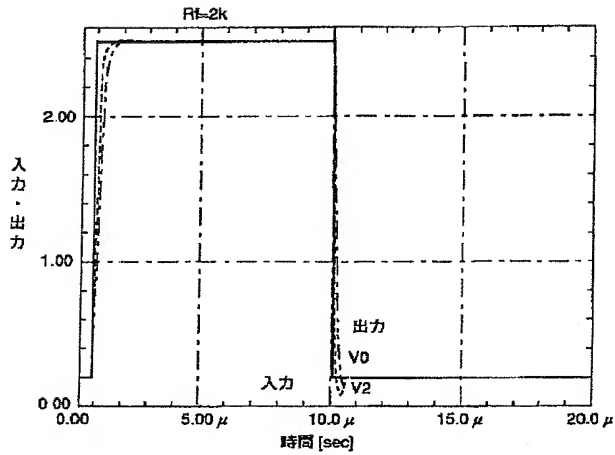
【図 24】



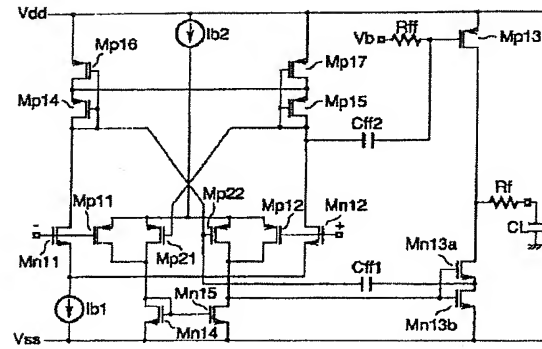
【図 25】



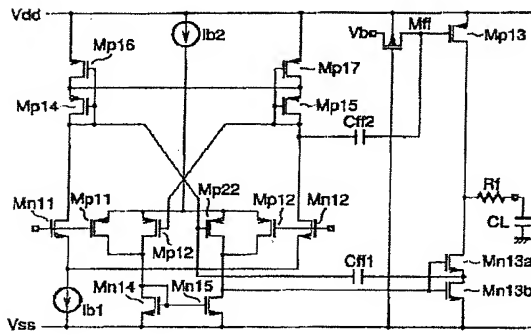
【図 19】



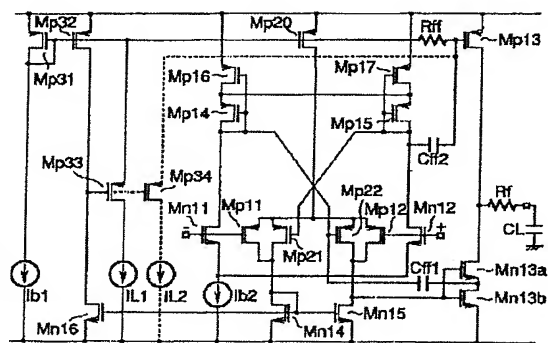
【図 26】



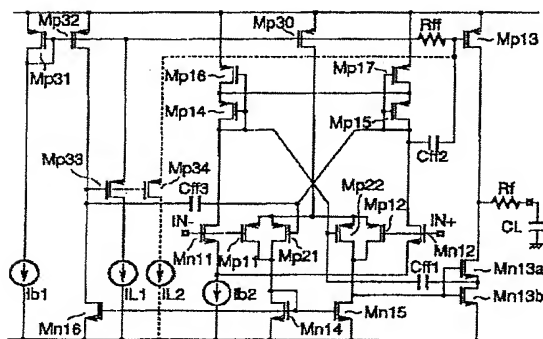
【図 27】



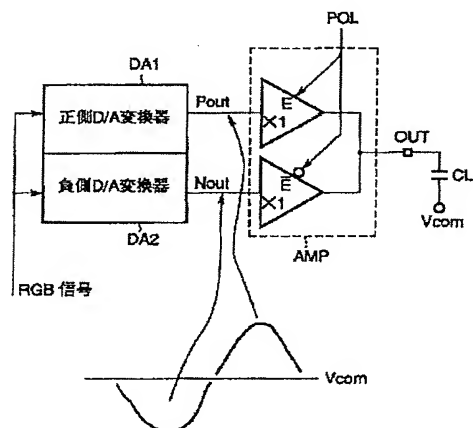
【図 28】



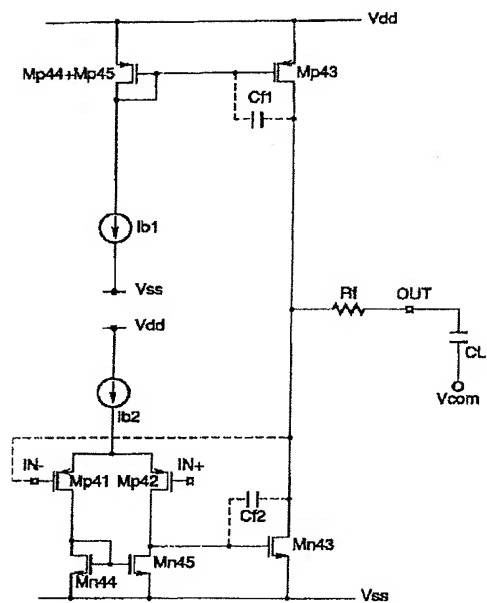
【図 29】



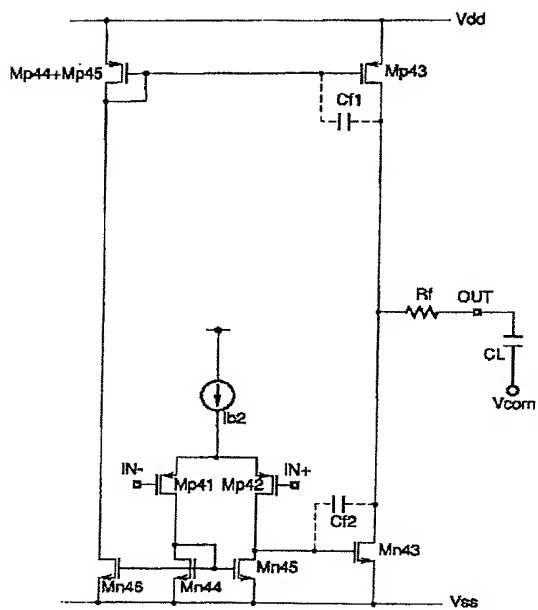
【図 30】



【圖 3 2】



【図 3 4】



【图 3 6】

